Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 1

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Введение в Vivado HLS

Задание 2

Студент: Медведев М.А.

Онищук М.П.

Гр. № 3540901/81501,

3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 4](#_Toc24623655)

[2. Первое решение 6](#_Toc24623656)

[2.1. Моделирование 6](#_Toc24623657)

[2.2. Синтез 6](#_Toc24623658)

[2.3. C/RTL моделирование 8](#_Toc24623659)

[3. Второе решение 9](#_Toc24623660)

[3.1. Моделирование 9](#_Toc24623661)

[3.2. Синтез 10](#_Toc24623662)

[3.3. C\RTL моделирование 11](#_Toc24623663)

[4. Выводы 12](#_Toc24623664)

1. Задание

Создать проект, подключив готовые файлы исходного кода устройства и теста к нему. Исходный код:

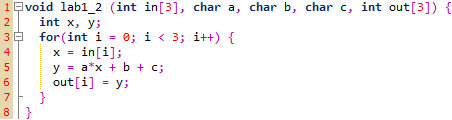


Рис. 1.1. Исходный код

Код теста:

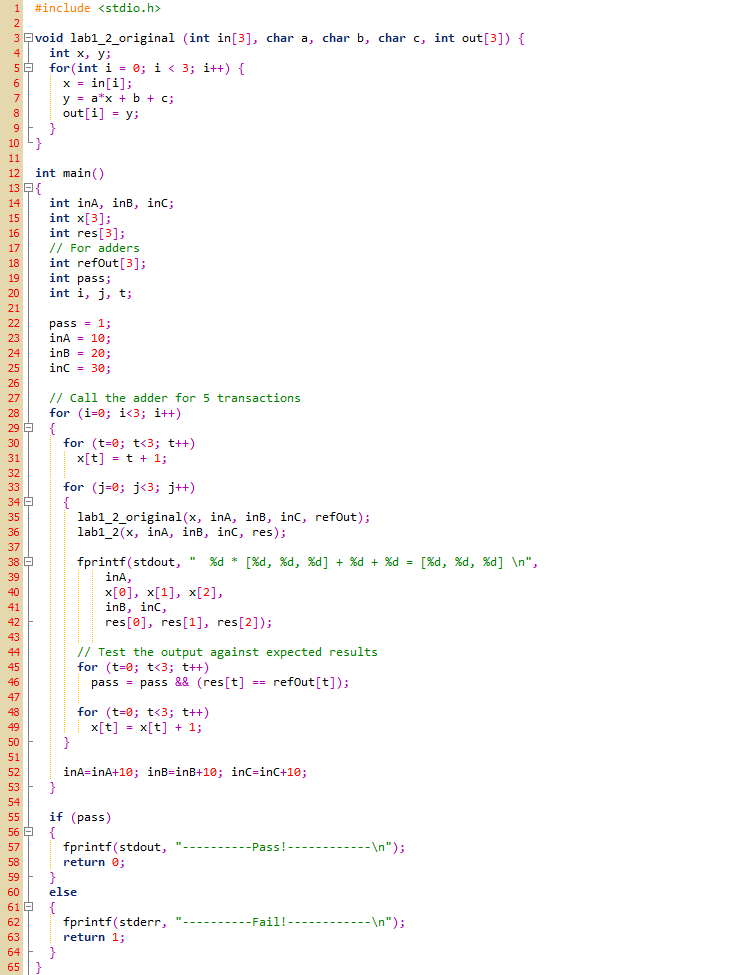


Рис. 1.2. Код теста

Создать 2 решения для синтеза устройства: задать clock period 6 и clock period **10**, а также clock uncertain 0.1 в обоих случаях.

Для обоих решений осуществить моделирование и синтез, привести в данном отчете:

* performance estimates=>summary
* utilization estimates=>summary
* Performance Profile
* scheduler viewer (выполнить Zoom to Fit)
  + На скриншоте показать Latency
  + На скриншоте показать Initiation Interval
* resource viewer (выполнить Zoom to Fit)
  + На скриншоте показать Latency
  + На скриншоте показать Initiation Interval

Также для обоих решений осуществить C|RTL моделирование:

* Отобразить два цикла обработки на одном экране
  + На скриншоте показать Latency
  + На скриншоте показать Initiation Interval

Написать выводы, где среди прочего объяснить отличие двух решений.

1. Первое решение
   1. Моделирование

При создании решения зададим настройки: clock period 6, clock uncertain 0.1, part xa7a12tcsg325-1q.

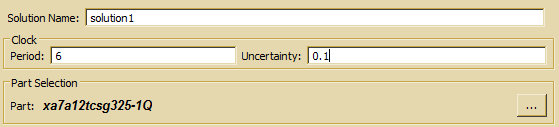


Рис. 2.1. Создание первого решения

При запуске моделирования можно увидеть, что тест успешно пройден:

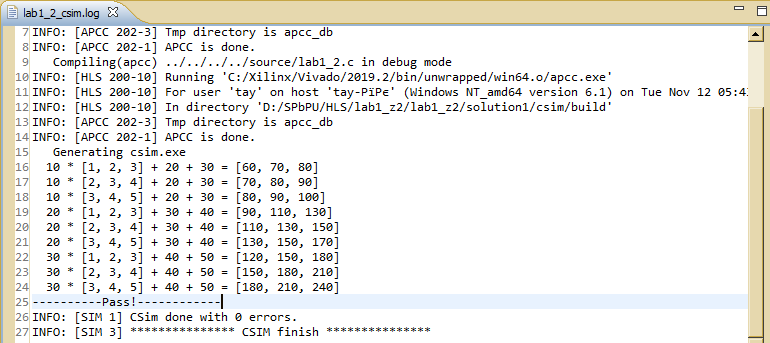


Рис. 2.2. Результаты моделирования

* 1. Синтез

Приведем в отчете требуемые данные о проекте:

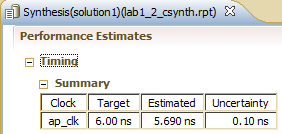


Рис. 2.3. Производительность

Здесь можно увидеть, что достигнутая задержка равна 5.690 + 0.1, что укладывается в заданные нами требования к тактовой частоте.

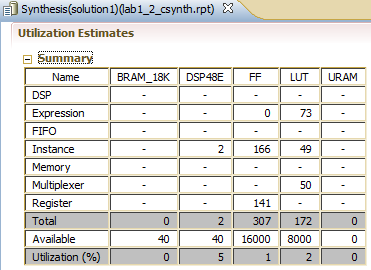


Рис. 2.4. Занимаемые ресурсы

Данный проект займет на микросхеме 2 DSP блока (в которых будут использованы умножители), 141 регистр для хранения чисел, и 172 LUT.

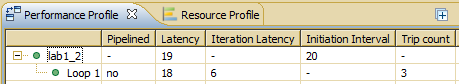


Рис. 2.5. Профиль производительности

На этом рисунке видно, что задержка получения первого значения выходных данных составляет 6 тактов с момента старта, последнего значения – 19, а задержка после старта до готовности приема порции новых данных – 20:

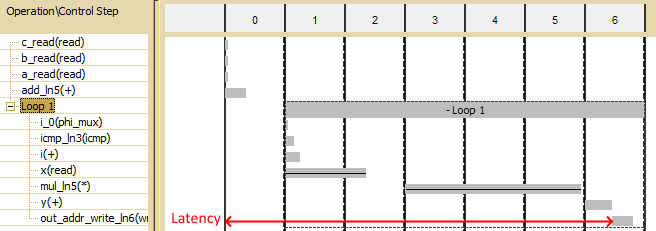


Рис. 2.6. Временная диаграмма

На первом такте происходит считывание значений А, В и С, а также предварительное суммирование значений В и С. На каждой итерации цикла происходит следующее (отсчёт ведётся с первого такта цикла):

* На первом такте обновляется значение счётчика i, выполнение проверки условия остановки цикла, считывания i-го значения из входного массива (занимает 2 такта) и обновление переменной цикла.
* Три такта занимает выполнение умножения A \* xi.
* На пятом такте выполняется суммирование с предварительно вычисленной константой и запись части результата.

Наконец покажем профиль ресурсов:

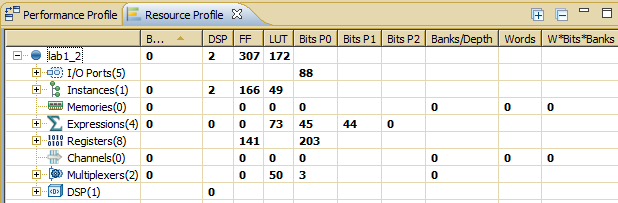


Рис. 2.7. Профиль ресурсов

Здесь можно увидеть те же числа, что и в отчете синтезатора.

* 1. C/RTL моделирование

При совместном моделировании (**Dump Trace = all**), программа отобразила те же самые, ожидаемые нами значения Latency и II:

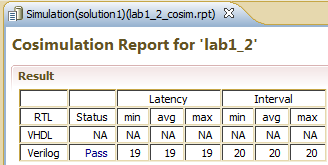


Рис.2.8. Результаты C\RTL моделирования

Покажем временную диаграмму совместного моделирования с отмеченными на ней Latency и Initiation Interval:

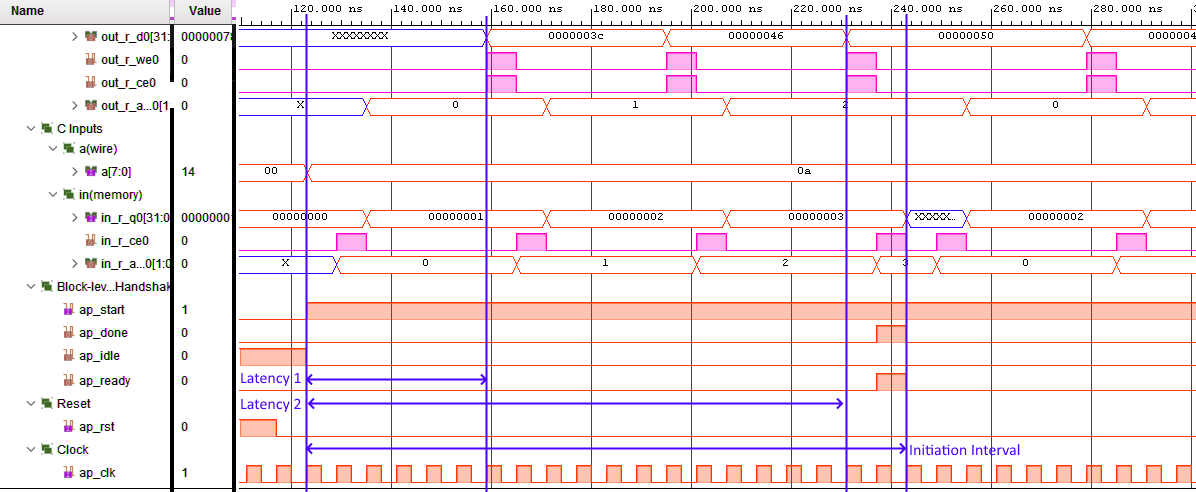


Рис. 2.9. Временная диаграмма совместного моделирования

1. Второе решение
   1. Моделирование

Создадим второе решение для данного проекта. Его настройки:

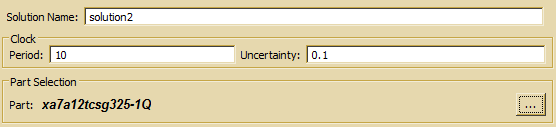


Рис. 3.1. Настройки нового решения

Настройки этого решения изменены согласно заданию.

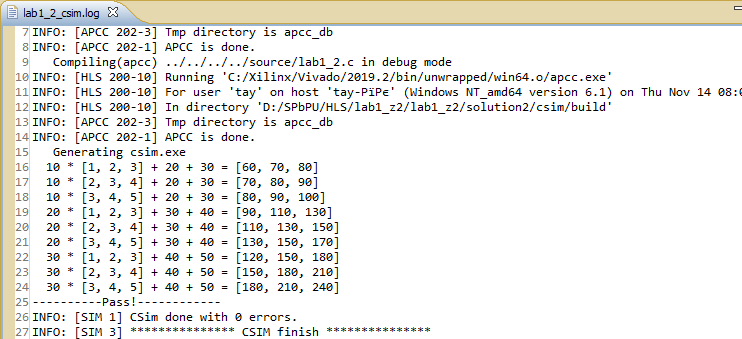


Рис. 3.2. Логи моделирования

Моделирования второго решения также прошло успешно.

* 1. Синтез

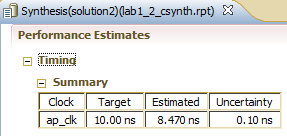


Рис. 3.3. Производительность

На этом рисунке видно, что данное решение также укладывается в установленный период тактовой частоты, однако задержки сильно отличаются, что означает, что изменения периода тактовой частоты повлекло за собой существенные изменения устройства.

На примере затраченных ресурсов это также хорошо видно:

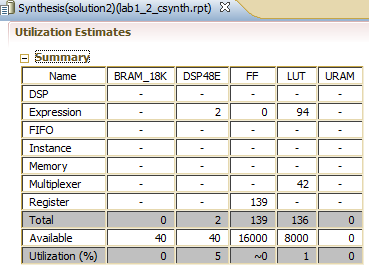


Рис. 3.4. Затрачиваемые ресурсы

В сравнении с предыдущим решением схема избавилась от 2 регистров и 36 LUT.



Рис. 3.5. Профиль производительности

Сразу видно, что задержка до получения ответа уменьшилась до 4 тактов для каждой итерации цикла, а новые данные можно подавать уже через 14 тактов. Покажем это на временной диаграмме:

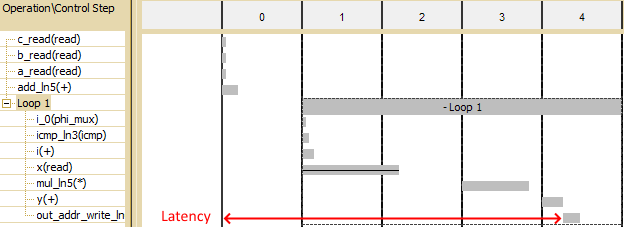


Рис. 3.6. Временная диаграмма

На диаграмме заметно, что считывание значения из массива всё ещё занимает 2 такта (протокол взаимодействия), в то время как умножение стало занимать лишь 1 такт, что существенно сказалось на общем количестве тактов, за которое выполняется одна итерация цикла.

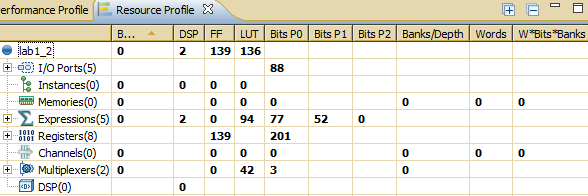


Рис. 3.7. Профиль ресурсов

Здесь мы также видим отличия, согласно общему отчету о затраченных ресурсах.

* 1. C\RTL моделирование

При осуществлении совместного моделирования программа показала ожидаемые результаты Latency и Initiation Interval:

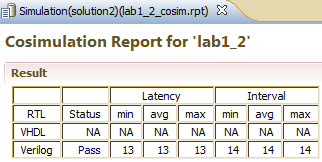


Рис. 3.8. C\RTL моделирование

Моделирование прошло успешно.

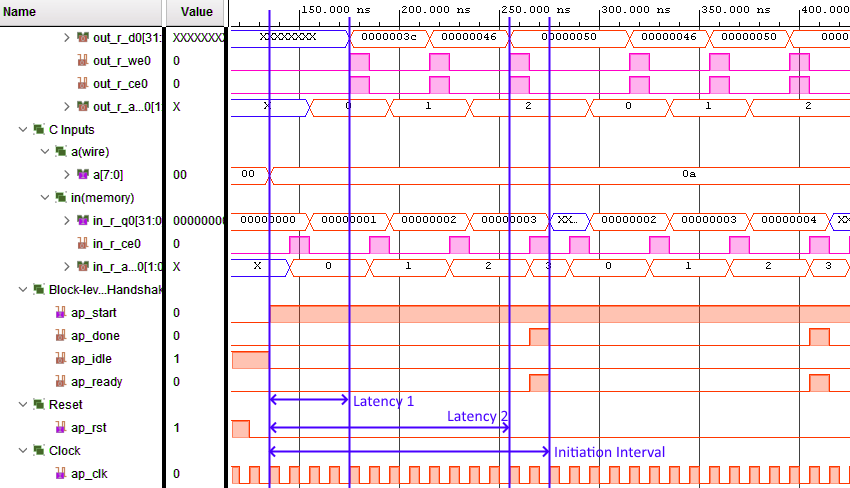


Рис. 3.9. Временная диаграмма совместного моделирования

Здесь заметно уменьшение числа тактовых сигналов для работы функции, но при этом выполнение продолжается дольше.

1. Выводы

В данной работе были рассмотрены различия, которые могут появиться при синтезе сложного устройства, содержащего циклические конструкции, при незначительных изменениях периода тактовой частоты. В данном примере видно, что при большем периоде тактов уменьшилось их количество, но увеличилось общее время выполнения, потому как выбранный период не является оптимальным для всех простейших производимых операций. В результате получены 2 решения: первое – полный цикл выполнения 20 тактов, а максимальная задержка обработки сигнала на такте составляет 5.690 нс, и второе – полный цикл выполнения 14 тактов, а максимальная задержка обработки сигнала на такте составляет 8.470 нс.